



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년06월27일
(11) 등록번호 10-2547478
(24) 등록일자 2023년06월21일

(51) 국제특허분류(Int. Cl.)
H10K 10/80 (2023.01) H01L 29/417 (2006.01)
H01L 29/786 (2006.01) H10K 10/00 (2023.01)
(52) CPC특허분류
H10K 10/84 (2023.02)
H01L 29/41733 (2013.01)
(21) 출원번호 10-2021-0033675
(22) 출원일자 2021년03월16일
심사청구일자 2021년03월16일
(65) 공개번호 10-2022-0129160
(43) 공개일자 2022년09월23일
(56) 선행기술조사문헌
KR101040137 B1*
Hocheon Yoo et al., Adv. Mater. 2019, 31,
1808265(2019.5.22.)*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
한국과학기술원
대전광역시 유성구 대학로 291(구성동)
가천대학교 산학협력단
경기도 성남시 수정구 성남대로 1342 (복정동)
(72) 발명자
임성갑
대전광역시 유성구 대학로 291 (구성동, 한국과학기술원)
유호천
경기도 성남시 수정구 성남대로 1342 가천대학교
중앙도서관 303호
(74) 대리인
양성보
(뒷면에 계속)

전체 청구항 수 : 총 9 항

심사관 : 정미나

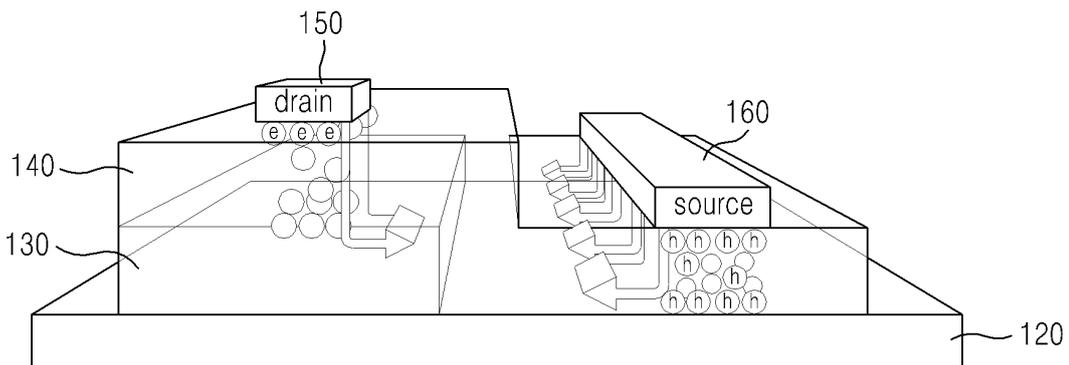
(54) 발명의 명칭 비대칭 소스 및 드레인 구조를 갖는 트랜지스터 및 제조방법

(57) 요약

본 발명은 비대칭 소스 및 드레인 구조를 갖는 박막 트랜지스터(Thin film Transistor) 또는 이종 접합 트랜지스터(Heterojunction Transistor)에 관한 것으로서, 게이트 상에 형성되는 절연막, 상기 절연막의 상부 일측면과 접촉하며, 소스 전극 또는 드레인 전극에 영향을 받는 제1 반도체 및 상기 절연막의 상부 타측면과 상기 제1 반도체 상에 형성되어 상기 소스 전극 및 상기 드레인 전극을 연결하는 제2 반도체를 포함하되, 상기 소스 전극 및 상기 드레인 전극은 서로 다른 너비의 비대칭 구조를 갖는 것을 특징으로 한다.

대표도 - 도1a

100



(52) CPC특허분류

H01L 29/78696 (2013.01)

H10K 10/486 (2023.02)

이창현

대전광역시 유성구 대학로 291 (구성동, 한국과학기술원)

(72) 발명자

이충열

대전광역시 유성구 대학로 291 (구성동, 한국과학기술원)

최준환

대전광역시 유성구 대학로 291 (구성동, 한국과학기술원)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711104966
과제번호	2016R1A5A100992621
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	이공분야기초연구사업
연구과제명	웨어러블 플랫폼소재 기술센터(2020)
기 여 율	1/4
과제수행기관명	한국과학기술원
연구기간	2020.01.01 ~ 2020.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711110511
과제번호	2017R1A2B300780614
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	이공분야기초연구사업
연구과제명	다기능성 초박막형 이온성 고분자 플랫폼 개발 및 소자 응용(2020)
기 여 율	1/4
과제수행기관명	한국과학기술원
연구기간	2020.03.01 ~ 2021.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	1711120703
과제번호	2020R1A2C1101647
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구
연구과제명	광검출과 정보저장이 동시에 가능한 플로팅-게이트 센서 소자 개발
기 여 율	1/4
과제수행기관명	가천대학교
연구기간	2020.09.01 ~ 2021.08.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711120615
과제번호	2020M3A9E4104385
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	바이오. 의료기술개발
연구과제명	융합의학기반 한의치료기술에 대한 뇌졸중의 예후 진단용 생체 지표 모니터링 센서 및 시스템 구축
기 여 율	1/4
과제수행기관명	가천대학교
연구기간	2020.09.01 ~ 2021.02.28

명세서

청구범위

청구항 1

비대칭 소스 및 드레인 구조를 갖는 트랜지스터에 있어서,

게이트 상에 형성되는 절연막;

상기 절연막의 상부 일측면과 접촉하며, 소스 전극에 영향을 받는 제1 반도체; 및

상기 절연막의 상부 타측면과 접촉하여 드레인 전극에 영향을 받으며, 상기 제1 반도체와 트랜지스터 중앙에서 접하는 제2 반도체를 포함하되,

상기 소스 전극 및 상기 드레인 전극은

서로 다른 너비의 비대칭 구조를 가져 상기 제1 반도체 및 상기 제2 반도체로 주입되는 전하를 각각 조절함에 따라 NTC(Negative transconductance)를 정밀하게 조절하는 것을 특징으로 하는, 트랜지스터.

청구항 2

제1항에 있어서,

상기 제1 반도체는 상기 절연막의 상부 일측면에 일부 접촉하여 형성되며,

상기 제2 반도체는 상기 제1 반도체의 면적을 제외한 상기 절연막의 상부 타측면에 일부 접촉하여 형성되어 상기 제1 반도체와 트랜지스터 중앙에서 접하는 이중접합 트랜지스터의 구조로 형성되는, 트랜지스터.

청구항 3

제2항에 있어서,

상기 제1 반도체 및 상기 제2 반도체는 서로 부분적으로 접합되어 있는 형태인 것을 특징으로 하는, 트랜지스터.

청구항 4

제3항에 있어서,

상기 제1 반도체는 n형 반도체 또는 p형 반도체이며, 상기 제2 반도체는 p형 반도체 또는 n형 반도체인 것을 특징으로 하는, 트랜지스터.

청구항 5

제1항에 있어서,

상기 드레인 전극은

상기 절연막의 상부 일측면에 형성된 상기 제1 반도체 상부, 또는 상기 제1 반도체 상에 형성된 상기 제2 반도체 상부에 형성되며,

상기 소스 전극은

상기 절연막의 상부 타측면에 형성된 상기 제2 반도체 상부에 형성되는 것을 특징으로 하는, 트랜지스터.

청구항 6

제5항에 있어서,

상기 제1 반도체는 하나의 상기 드레인 전극에만 영향을 받으며, 상기 제2 반도체는 하나의 상기 소스 전극, 또는 상기 소스 전극 및 상기 드레인 전극의 영향을 받는 것을 특징으로 하는, 트랜지스터.

청구항 7

제1항에 있어서,

상기 드레인 전극은 450 μ m의 너비를 나타내고, 상기 소스 전극은 5000 μ m의 너비를 나타내는 것을 특징으로 하는, 트랜지스터.

청구항 8

삭제

청구항 9

비대칭 소스 및 드레인 구조를 갖는 트랜지스터의 제조 방법에 있어서,

게이트 상에 절연막을 형성하는 단계;

상기 절연막의 상부 일측면과 접촉하며, 소스 전극에 영향을 받는 제1 반도체를 형성하는 단계; 및

상기 절연막의 상부 타측면과 접촉하여 드레인 전극에 영향을 받으며, 상기 제1 반도체와 트랜지스터 중앙에서 접하는 제2 반도체를 형성하는 단계를 포함하되,

상기 소스 전극 및 상기 드레인 전극은

서로 다른 너비의 비대칭 구조를 가져 상기 제1 반도체 및 상기 제2 반도체로 주입되는 전하를 각각 조절함에 따라 NTC(Negative transconductance)를 정밀하게 조절하는 것을 특징으로 하는, 트랜지스터의 제조 방법.

청구항 10

제9항에 있어서,

상기 제1 반도체는 n형 반도체 또는 p형 반도체이며, 상기 제2 반도체는 p형 반도체 또는 n형 반도체인 것을 특징으로 하는, 트랜지스터의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 트랜지스터 및 그의 제조방법에 관한 것으로서, 보다 상세하게는 비대칭 소스 및 드레인 구조를 갖는 박막 트랜지스터(Thin film Transistor) 또는 이종 접합 트랜지스터(Heterojunction Transistor)에 관한 것이다.

배경 기술

[0002] 최근에는 AI(Artificial Intelligence) 및 IoT(Internet of Things)와 같은 스마트 기술이 발전함에 따라 방대한 양의 데이터를 처리할 수 있는 초 고집적 반도체 기술이 요구되고 있다. 반도체 산업은 회로를 구성하는 단위 소자의 크기를 줄이는 초 미세공정을 통해 이러한 상황을 대응해가고 있으나, 패턴 사이즈가 나노미터 수준으로 줄어들게 되면서 필연적으로 발생하게 되는 ‘양자 역학적 전자 터널링’ 현상 및 비약적인 원가 상승으로 인해 미세 공정의 발전은 점점 한계에 도달할 것으로 예상된다.

[0003] 초 고집적 반도체 기술을 위한 다진법 논리 회로의 실질적인 효과를 성취하기 위해서는 기존 회로 디자인 룰을 유지하면서 다진법을 구현할 수 있는 새로운 형태의 소자가 요구된다. 이러한 요구를 충족하기 위해 이종접합 트랜지스터(heterojunction transistor, H-TR)라고 불리는 새로운 형태의 트랜지스터를 이용하여 추가 트랜지스터 없이 3진법 인버터에 대한 연구가 활발히 진행되어 왔다.

[0004] 다만, 3진 논리 회로가 구현되기 위해서는 이종접합 트랜지스터(H-TR)의 NTC(Negative transconductance)를 자유롭게 조절할 수 있는 기술이 선행되어야 하며, 이를 바탕으로 3진 인버터의 노이즈 마진을 충분히 개선해야 하는 문제점이 존재하였다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 목적은 이중접합 트랜지스터(H-TR)의 반도체 두께를 조절하여 NTC 특성을 변화시키고자 하며, 비대칭 소스 및 드레인 구조를 이용하여 트랜지스터의 전기적 특성을 최적화하고자 한다.

과제의 해결 수단

[0006] 본 발명의 실시예에 따른 비대칭 소스 및 드레인 구조를 갖는 박막 트랜지스터 또는 이중접합 트랜지스터에 있어서, 게이트 상에 형성되는 절연막, 상기 절연막의 상부 일측면과 접촉하며, 소스 전극에 영향을 받는 제1 반도체 및 상기 절연막의 상부 타측면과 접촉하여 드레인 전극에 영향을 받으며, 상기 제1 반도체와 트랜지스터 중앙에서 접하는 제2 반도체를 포함하되, 상기 소스 전극 및 상기 드레인 전극은 서로 다른 너비의 비대칭 구조를 갖는 것을 특징으로 한다.

[0007] 본 발명의 실시예에 따른 비대칭 소스 및 드레인 구조를 갖는 박막 트랜지스터 또는 이중접합 트랜지스터의 제조 방법에 있어서, 게이트 상에 절연막을 형성하는 단계, 상기 절연막의 상부 일측면과 접촉하며, 소스 전극에 영향을 받는 제1 반도체를 형성하는 단계 및 상기 절연막의 상부 타측면과 접촉하여 드레인 전극에 영향을 받으며, 상기 제1 반도체와 트랜지스터 중앙에서 접하는 제2 반도체를 형성하는 단계를 포함하되, 상기 소스 전극 및 상기 드레인 전극은 서로 다른 너비의 비대칭 구조를 갖는 것을 특징으로 한다.

발명의 효과

[0008] 본 발명의 실시예에 따르면, 이중접합 트랜지스터(H-TR)의 반도체 두께를 조절하여 NTC 특성을 변화시킬 수 있으며, 비대칭 소스 및 드레인 구조를 이용하여 트랜지스터의 전기적 특성을 최적화할 수 있다.

도면의 간단한 설명

- [0009] 도 1a 및 도 1b는 본 발명의 실시예에 따른 트랜지스터의 구조를 도시한 것이다.
- 도 2는 2진 논리와 3진 논리를 비교한 그래프를 도시한 것이다.
- 도 3은 이중접합 트랜지스터의 구조 및 특성을 설명하기 위해 도시한 것이다.
- 도 4a 및 도 4b는 이중접합 트랜지스터로 구현한 3진 논리 인버터의 작동 원리를 설명하기 위해 도시한 것이다.
- 도 5는 3진 인버터의 성능 수준을 도시한 것이다.
- 도 6은 본 발명의 실시예에 따른 트랜지스터의 반도체 두께를 조절하여 NTC를 최적화한 실험 결과를 도시한 것이다.
- 도 7은 본 발명의 실시예에 따른 p형 반도체 및 n형 반도체의 두께에 따른 실험 결과를 도시한 것이다.
- 도 8은 본 발명의 실시예에 따른 비대칭 소스 및 드레인 구조를 갖는 트랜지스터의 구조 및 실험 결과를 도시한 것이다.
- 도 9는 본 발명의 실시예에 따른 3진 인버터의 구조 및 실험 결과를 도시한 것이다.
- 도 10은 본 발명의 실시예에 따른 트랜지스터의 제조 방법에 대한 동작 흐름도를 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

[0010] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0011] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며, 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다

른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

- [0012] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또한, 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0013] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예들을 보다 상세하게 설명하고자 한다. 도면 상의 동일한 구성요소에 대해서는 동일한 참조 부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0015] 도 1a 및 도 1b는 본 발명의 실시예에 따른 트랜지스터의 구조를 도시한 것이다.
- [0016] 도 1a 및 도 1b를 참조하면, 본 발명의 실시예에 따른 트랜지스터(100)는 비대칭 소스 및 드레인 구조를 갖는다. 이때, 본 발명의 실시예에 따른 트랜지스터(100)는 박막 트랜지스터 또는 이중접합 트랜지스터일 수 있다.
- [0017] 트랜지스터(100)는 게이트(110), 절연막(120), 제1 반도체(130), 제2 반도체(140), 소스 전극 및 드레인 전극(150, 160)을 포함한다. 이하에서는 제1 반도체(130)는 n형 반도체로, 제2 반도체(140)는 p형 반도체로 지정하여 설명하나, 이에 한정되는 것은 아니며 제1 반도체(130)는 p형 반도체일 수 있으며, 제2 반도체(140)는 n형 반도체일 수도 있다.
- [0018] 절연막(120)은 게이트(110)은 상에 형성된다. 이때, 게이트(110)은 Al(알루미늄)일 수 있으며, 절연막(120)은 pV3D3(poly(1,3,5-trimethyl-1,3,5-trivinyl cyclotrisiloxane)일 수 있다. 절연막(120)은 유기 물질 또는 무기 물질일 수 있다.
- [0019] 제1 반도체(130)는 절연막(120)의 상부 일측면과 접촉하며, 소스 전극(160) 또는 드레인 전극(150)의 영향을 받는다. 또한, 제2 반도체(140)는 절연막(120)의 상부 타측면과 제1 반도체(130) 상에 형성되어 소스 전극(160) 및 드레인 전극(150)을 연결한다. 이때, 제1 반도체(130)는 n형 반도체로 PTCDI-C13(N,N'-ditridecylperylene diimide)일 수 있으며, 제2 반도체(140)는 p형 반도체로 DNNT(dinaphtho[2,3-b:2',3'-f]thieno-[3,2-b]thiophene)일 수 있다. 제1 반도체(130) 및 제2 반도체(140)는 유기 물질 또는 무기 물질일 수 있으나, 물질 종류는 한정하지 않는다.
- [0020] 도 1a 및 도 1b에 도시된 바와 같이 제1 반도체(130)는 절연막(120)의 상부 일측면에 일부 접촉하여 형성되며, 제2 반도체(140)는 제1 반도체(130)의 면적을 제외한 절연막(120)의 상부 타측면과 제1 반도체(130) 상에 계단 형태로 형성될 수 있다. 이는 제1 반도체(130)와 제2 반도체(140)가 서로 부분적으로 접합된 이중접합 트랜지스터의 구조인 것을 특징으로 한다.
- [0021] 전술한 바와 같은 트랜지스터(100)의 구조에 의해, 제1 반도체(130)는 하나의 드레인 전극(150)에만 영향을 받으며, 제2 반도체(140)는 하나의 소스 전극(160) 또는, 소스 전극(160) 및 드레인 전극(150)을 연결하여 두 전극의 영향을 받을 수 있다.
- [0022] 본 발명의 실시예에 따른 제1 반도체(130)는 45nm의 두께를 나타내고, 제2 반도체(140)는 75nm의 두께를 나타내는 것을 특징으로 한다. 또한, 드레인 전극(150)은 450 μm의 너비를 나타내고, 소스 전극(160)은 5000 μm의 너비를 나타내는 것을 특징으로 한다. 전술한 두께 및 너비의 특징은 이하의 도면을 참조하여 상세히 설명한다.
- [0023] 본 발명의 실시예에 따른 트랜지스터(100)의 소스 전극(160) 및 드레인 전극(150)은 서로 다른 너비의 비대칭 구조를 갖는 것을 특징으로 한다.
- [0024] 드레인 전극(150)은 절연막(120)의 상부 일측면에 형성된 제1 반도체(130) 상에 형성된 제2 반도체(140)의 상부에 접촉하여 형성될 수 있다. 소스 전극(160)은 절연막(120)의 상부 타측면에 형성된 제2 반도체(140)의 상부에 접촉하여 형성될 수 있다.
- [0025] 이때, 소스 전극(160)은 도 1a에 도시된 바와 같이, 드레인 전극(150)에 비해 넓은 면적으로 형성된 것을 특징으로 하며, 본 발명의 실시예에 따른 트랜지스터(100)는 이러한 드레인 전극(150) 및 소스 전극(160)의 비대칭 너비 구조로 형성되어 제1 반도체(130) 및 제2 반도체(140)로 주입되는 전하를 각각 조절하여 NTC(Negative Transconductance)를 정밀하게 조절하는 특징을 나타낸다.
- [0026] 다만, 도 1a 및 도 1b에 도시된 제안된 이중접합 트랜지스터는 제2 반도체(140)가 소스 전극(160) 및 드레인 전극(150)을 모두 연결하는 형태이나, 이에 국한되지 않으며, 제1 반도체(130) 및 제2 반도체(140)가 부분 접합한

형태 즉, 트랜지스터 중앙에서 접하고, 제1 반도체(130)는 드레인 전극(150)과 연결되며, 제2 반도체(140)는 소스 전극(160)과 연결되는 일반적인 이중접합 트랜지스터의 구조일 수도 있다.

- [0027] 본 발명에서 제안하는 비대칭 소스 전극 및 드레인 전극의 구조는 도 1a 및 도 1b에 도시된 바와 같은 제안된 이중접합 트랜지스터의 구조 외에도 트랜지스터 중앙에서 두 반도체(130, 140)가 일부분만 접한 형태인 일반적인 이중접합 트랜지스터 구조에 모두 적용 가능하며, 제1 반도체와 제2 반도체를 통해 흐르는 전류를 각각 조절하고, 이에 따라 NTC를 조절하는 것을 특징으로 한다.
- [0028] 이하에서는 이중접합 트랜지스터의 특성과 3진 인버터의 특성에 대해 설명한다.
- [0030] 도 2는 2진 논리와 3진 논리를 비교한 그래프를 도시한 것이며, 도 3은 이중접합 트랜지스터의 구조 및 특성을 설명하기 위해 도시한 것이다. 도 4a 및 도 4b는 이중접합 트랜지스터로 구현한 3진 논리 인버터의 작동 원리를 설명하기 위해 도시한 것이고, 도 5는 3진 인버터의 성능 수준을 도시한 것이다.
- [0031] 도 2를 참조하면, 현재 대부분의 반도체 기기는 0과 1의 구별된 정보만으로 동작하는 2진 논리(Binary)로 동작한다. 이에 반해, 0, 1, 2의 3가지 정보로 구동하는 다진법 논리(Ternary) 적용 시, 기존 2진 논리에 비해 같은 데이터를 처리하는데 필요한 논리 수가 비약적으로 감소될 수 있다. 예를 들어, 3진 논리 회로의 경우, 기존 논리 회로와 비교했을 때, 사용 소자 수가 $\log_3/\log_2 = \sim 63.1\%$ 만큼 감소할 수 있다. 즉, 3진 논리를 적용하면, 동일한 디자인 룰 조건에서 집적도를 비약적으로 향상시킬 수 있게 된다.
- [0032] 그러나, 기존 3진 논리회로 구동을 위해서는 1개의 추가 논리 상태를 만들어내기 위해 추가적인 트랜지스터가 필요하므로, 활용 가치가 떨어진다. 예를 들면, 3진 인버터의 경우 4개의 추가 트랜지스터가 필요하며, 총 6개의 트랜지스터로 인버터를 구동해야 한다. 따라서, 다진법 논리 회로의 실질적 효과를 성취하기 위해서는 기존 회로 디자인 룰을 유지하면서 다진법을 구현할 수 있는 새로운 형태의 소자가 요구된다.
- [0033] 이러한 요구를 충족하기 위해, 도 3에 도시된 바와 같은 이중접합 트랜지스터(Heterojunction Transistor, H-TR)를 사용하여 추가 트랜지스터 없이 3진 논리 회로를 같은 디자인 룰에서 구현할 수 있다.
- [0034] 도 3을 참조하면, 이중접합 트랜지스터(H-TR)는 p형 반도체와 n형 반도체가 서로 부분적으로 접합되어있는 형태로 구성된다. 이중접합 트랜지스터(H-TR)는 p형 반도체가 두 소스 및 드레인(S/D)을 연결하는 반면, n형 반도체는 한 개의 소스 또는 드레인에만 영향을 받기 때문에 해당 트랜지스터를 구동하게 되면, 단조 증가함수를 보이는 기존 트랜지스터와는 다르게 특정 구간에서 게이트 전압이 증가함에도 불구하고 드레인 전류가 감소하게 되는 NTC(Negative transconductance) 현상이 발생하게 된다.
- [0035] 구체적으로, 이중접합 트랜지스터(H-TR)는 p형 반도체가 소스 및 드레인과 모두 접촉하고 있기 때문에, p형 트랜지스터처럼 구동시켜야 높은 온/오프(on/off) 전류 비와 함께 NTC 특성을 보이며 정상 작동한다. 다만, p형 트랜지스터 구동방식으로 작동하는 경우, 낮은 게이트 전압에서는 n형 반도체가 축적(accumulation) 상태, 높은 게이트 전압에서는 p형 반도체가 축적(accumulation) 상태가 된다. 더욱이, 게이트 전압이 증가함에 따라 n형 반도체는 디플리션(depletion)되는데 반해, p형 반도체가 축적(accumulation)되어 처음에는 전류가 증가하다가 n형 반도체의 디플리션(depletion)로 인해 전류가 감소하는 NTC 구간이 발생하게 된다. 그러나, 결국 p형 반도체가 축적(accumulation)되면서 다시 전류가 증가하는 N 모양의 전압 및 전류 곡선이 형성된다.
- [0036] 도 4a 및 도 4b를 참조하여 이중접합 트랜지스터(H-TR)를 기존 상호 보완인(complementary) 인버터를 구성하는 한 트랜지스터로 대체하면, 도 4b에 도시된 바와 같이 NTC가 발생하는 구간에서 두 개의 트랜지스터가 동일한 저항을 갖게 되어 $V_{OUT} = 1/2V_{DD}$ 의 출력을 보이는 추가 논리 상태(Logic 1)가 발생하게 된다. 이에, 추가 트랜지스터 없이 3진법 계산 체계를 구현하게 되면, 논리 회로의 집적도 뿐만 아니라, 연산 속도와 소비 전력에서도 큰 발전이 기대되므로 차세대 논리 회로에 대한 잠재성으로 이중접합 트랜지스터(H-TR)를 이용한 3진법 인버터에 대한 연구가 진행된다.
- [0037] 그러나, 현재 거의 모든 보고된 3진 인버터가 비대칭 범위의 V_{IN} 및 V_{OUT} 으로 작동되고 있으며, 대칭 범위의 V_{IN} 및 V_{OUT} 으로 작동되고 있는 경우라도 중간 논리 상태의 범위가 매우 짧아 노이즈 마진이 거의 0에 가까운 수준이다(도 5 참조). 따라서, 3진 논리 회로가 구현되기 위해서는 이중접합 트랜지스터(H-TR)의 NTC를 자유롭게 조절할 수 있는 기술이 선행되어야 하며, 이를 바탕으로 3진 인버터의 노이즈 마진을 충분히 개선해야 한다.
- [0039] 도 6은 본 발명의 실시예에 따른 트랜지스터의 반도체 두께를 조절하여 NTC를 최적화한 실험 결과를 도시한 것이다.

- [0040] 보다 상세하게는, 도 6(a)는 n형, p형 및 이중접합 트랜지스터(H-TR)의 구조를 도시한 것이고, 도 6(b)는 p형 트랜지스터의 반도체 두께에 따른 전압-전류 곡선을 도시한 것이며, 도 6(c)는 n형 트랜지스터의 반도체 두께에 따른 전압-전류 곡선을 도시한 것이다. 또한, 도 6(d)는 p형 및 n형 트랜지스터의 반도체 두께에 따른 VTH 변화를 도시한 것이고, 도 6(e) 내지 도 6(g)는 이중접합 트랜지스터(H-TR)의 p형 반도체 및 n형 반도체 두께 조합에 따른 전압-전류 곡선을 도시한 것이며, 도 6(h)는 전압- transconductance 그래프 결과를 도시한 것이다.
- [0041] 본 발명은 이중접합 트랜지스터(H-TR)의 NTC를 조절하기 위한 방법으로, 각 반도체의 문턱전압(V_{TH})을 선택적으로 조절한다. 먼저 반도체의 두께에 따라 트랜지스터의 문턱전압이 변하는 특성을 활용하여 이중접합 트랜지스터(H-TR)의 p형 반도체 및 n형 반도체의 두께를 각각 조절함으로써, NTC를 1차적으로 최적화한다. 이후에, 해당 반도체 두께 조합을 바탕으로 이중접합 트랜지스터(H-TR)의 소스 및 드레인(S/D) 너비를 비대칭으로 구성하여 p형 반도체 및 n형 반도체로 주입되는 정공 및 전자를 선택적으로 조절하여 NTC 현상을 추가적으로 조절하는 것을 특징으로 한다. 또한, 본 발명은 이중접합 트랜지스터(H-TR)의 NTC 조절을 바탕으로 3개의 상태가 명확히 정의된 노이즈 마진 약 47%(이상적인 값 대비)를 가진 유연 3진 인버터를 구현한다.
- [0042] 도 6(a)를 참조하면, 본 발명은 이중접합 트랜지스터(H-TR)에서의 p형 반도체 및 n형 반도체 두께에 따른 NTC 변화를 분석하기 위해 p형 트랜지스터 및 n형 트랜지스터, 그리고 p형/n형 이중접합 트랜지스터(H-TR)의 반도체 두께를 적절히 조절하여 제작하였다. 이때, PTCDI-C13(N,N'-ditridecylperylene diimide)은 n형 반도체, DNTT(dinaphtho[2,3-b:2',3'-f]thieno-[3,2-b]thiophene)는 p형 반도체, 그리고 pV3D3(poly(1,3,5-trimethyl-1,3,5-trivinyl cyclotrisiloxane))는 절연막을 나타낸다.
- [0043] 도 6(b), 도 6(c) 및 도 6(d)를 참조하면, p형 트랜지스터 및 n형 트랜지스터 모두 반도체의 두께가 증가함에 따라 문턱전압이 감소하는 것을 확인할 수 있다.
- [0044] 도 6(e) 내지 도 6(h)를 참조하면, 각 반도체의 두께에 따른 문턱전압 변화 특성은 이중접합 트랜지스터(H-TR)에서도 유지되었으며, p형 반도체와 n형 반도체의 문턱전압에 따라 NTC 특성이 체계적으로 변화하는 것을 확인할 수 있다.
- [0045] 이때, 도 6(e)는 기준이 되는 이중접합 트랜지스터(H-TR)로서, p형 반도체 75nm 및 n형 반도체 45nm를 가지며, 다음과 같은 메커니즘으로 작동한다.
- [0046] 1) $V_G > -1.4V$: 정공 축적(accumulation)에 따라 p채널이 형성되어 트랜지스터가 켜지기 시작하는 구간
- [0047] 2) $-1.4V > V_G > -4.9V$: n채널을 통한 전자에 의한 전류 및 p채널을 통한 정공에 의한 전류 모두 흐르나, p채널이 형성 정도가 전체 전류를 결정하는 구간
- [0048] 3) $-4.9V > V_G > -5.4V$: n채널 디플리션(depletion)이 발생함에 따라 전체 전류가 감소(NTC)하는 구간
- [0049] 4) $-5.4V > V_G$: 증가하는 p채널을 통한 정공에 의한 전류로 인해 전체 전류가 다시 증가하기 시작하는 구간
- [0050] 도 6(f)를 참조하면, n형 반도체의 두께가 감소하여 n형 반도체의 문턱전압이 증가하는 경우, n형 반도체의 성능 감소로 인하여 기존 n형 반도체의 디플리션(depletion)로 인해 발생하던 전류 강하(NTC 현상)가 p형 반도체에 의한 전류 상승에 의해 거의 무시되는 결과를 나타내는 것을 알 수 있다. 반대로 도 6(g)를 참조하면, p형 반도체의 두께가 감소하여 p형 반도체의 문턱전압이 증가하는 경우, p형 반도체의 성능 감소로 인하여 기존 p형 반도체의 축적(accumulation)으로 인해 발생하던 전류 상승 크기가 작아지면서 더 높은 게이트 전압까지 NTC 구간이 이어지게 되고, NTC 영역 길이가 늘어나는 결과($-5.1V > V_G > -6.4V$)를 나타내는 것을 알 수 있다.
- [0051] 도 6(h)는 각 이중접합 트랜지스터(H-TR)의 transconductance(g_m)을 게이트 전압에 따라 도시한 것으로, 기준 이중접합 트랜지스터(H-TR)보다 n형 반도체의 두께가 감소한 이중접합 트랜지스터(H-TR)에서 NTC가 발생하지 않은 것과 비교하여 p형 반도체의 두께가 감소한 이중접합 트랜지스터(H-TR)에서 NTC가 더 뚜렷해진 것을 확인할 수 있다. 이에 따라서, p형 반도체와 n형 반도체 각각의 성능을 개별적으로 조절함으로써, NTC를 체계적으로 변화시킬 수 있음을 보여준다.
- [0053] 도 7은 본 발명의 실시예에 따른 p형 반도체 및 n형 반도체의 두께에 따른 실험 결과를 도시한 것이다.
- [0054] 보다 상세하게는, 도 7(a)는 p형 반도체의 두께에 따른 UPS 결과 및 해당 밴드 구조를 도시한 것이며, 도 7(b)는 n형 반도체의 두께에 따른 UPS 결과 및 해당 밴드 구조를 도시한 것이다.
- [0055] 본 발명은 반도체 두께에 따른 문턱전압(V_{TH}) 변화 원인을 분석하고자, 금(Au) 기판 상에 p형 반도체 및 n형 반

도체를 두께에 따라 증착하여 UPS(Ultraviolet Photoelectron Spectroscopy) 분석을 진행하였다. 도 7에 도시된 바와 같이, 반도체 두께가 증가함에 따라 p형 반도체의 페르미 준위는 증가하고, n형 반도체의 페르미 준위는 감소한 것을 확인할 수 있다. 또한, 이를 밴드 다이어그램(band diagram)으로 분석한 결과, 두께가 증가함에 따라 모두 전극과 반도체 사이의 전하 주입을 더 용이하게 만드는 방향으로 페르미 준위가 이동하였음을 확인할 수 있다.

[0057] 도 8은 본 발명의 실시예에 따른 비대칭 소스 및 드레인 구조를 갖는 트랜지스터의 구조 및 실험 결과를 도시한 것이다.

[0058] 보다 상세하게는, 도 8(a)는 비대칭 소스/드레인 구조를 갖는 트랜지스터의 구조를 도시한 것이고, 도 8(b)는 p형 트랜지스터(왼쪽) 및 n형 트랜지스터(오른쪽)의 소스/드레인 너비에 따른 전압-전류 곡선(scale bar: 1000 μ m)을 도시한 것이며, 도 8(c)는 p형 및 n형 트랜지스터의 소스/드레인 너비에 따른 온/오프(on/off) 전류 비 변화를 도시한 것이다. 또한, 도 8(d)는 p형 및 n형 트랜지스터의 소스/드레인 너비에 따른 문턱전압(VTH)의 변화를 도시한 것이고, 도 8(e)는 이중접합 트랜지스터(H-TR)의 소스/드레인 너비에 따른 전압-전류 곡선을 도시한 것이며, 도 8(f)는 전압-transconductance 그래프 결과(scale bar: 1000 μ m)를 도시한 것이고, 도 8(g)는 소스/드레인 너비에 따른 NTC 길이와 peak to valley 전류 비를 도시한 것이다.

[0059] 본 발명은 반도체 두께 설계로 최적화된 이중접합 트랜지스터(H-TR)를 바탕으로 NTC를 더욱 조절하기 위하여, 도 8(a)에 도시된 바와 같이 트랜지스터에 비대칭 소스/드레인 구조를 적용한다. 비대칭 소스/드레인 구조는 트랜지스터의 소스로부터 다수 캐리어가 주입되어 드레인으로 이동하는 전류가 흐르는 트랜지스터의 기본 작동 원리를 이용한 구조로, 반도체 종류와 상관없이 단순하게 소스/드레인의 너비를 조절함으로써 트랜지스터의 전기적 특성을 최적화할 수 있다. 이로 인하여 비대칭 소스/드레인 구조를 이용하면, 본 발명은 이중접합 트랜지스터(H-TR)의 p형 반도체 및 n형 반도체로 주입되는 전하를 각각 조절할 수 있기 때문에 NTC를 정밀하게 조절할 수 있다.

[0060] 도 8(b)는 p형 트랜지스터 및 n형 트랜지스터 각각의 소자에 비대칭 소스/드레인을 적용한 결과를 나타낸다. 두 트랜지스터 모두에서 소스의 너비 너비(450 μ m)가 드레인의 너비(5000 μ m)에 비해 11배가량 짧은 경우(이하에서 'S-restricted' 라 함)의 트랜지스터는 그 반대의 경우, 또는 대칭 소스/드레인 구조를 갖는 트랜지스터의 경우보다 문턱전압이 증가하였다. 반대로, 드레인 너비(450 μ m)가 소스의 너비(5000 μ m)에 비해 11배가량 짧은 경우(이하에서 'D-restricted' 라 함)의 트랜지스터는 오프(off) 상태의 전류(IOFF)가 약 10배 감소한 것을 확인할 수 있다.

[0061] 다만, 높은 게이트 전압 범위에서는 소스의 너비가 줄은 경우라도 충분한 게이트 - 소스 전압에 의해 전하 주입이 용이해지므로, S-restricted 경우와 D-restricted 경우가 서로 비슷한 전류를 보인다.

[0062] 이러한 소스/드레인 너비에 따른 차이는 도 8(c) 및 도 8(d)에 도시된 바와 같이, 트랜지스터 12개에서 모두 비슷한 수준으로 나타났으며, 소스/드레인의 너비에 따라 다수 캐리어와 소수 캐리어의 주입량이 효과적으로 조절될 수 있음을 나타낸다.

[0063] 비대칭 소스/드레인 구조가 이중접합 트랜지스터(H-TR)에 적용된 경우, NTC 특성에서 매우 뚜렷한 변화가 발생한다. 도 8(c)를 참조하면, S-restricted H-TR의 경우, 기존의 대칭 소스/드레인 구조를 갖는 이중접합 트랜지스터(H-TR)에 비하여 NTC 범위의 길이가 짧아진 결과를 보이는 반면에(-5.7 V > VG > -6.5 V), D-restricted H-TR의 경우, 확연하게 길어진 NTC 범위(-4.2 V > VG > -6.9 V)를 나타내는 것을 알 수 있다.

[0064] p형 반도체가 소스/드레인 모두와 접촉하고 있는 이중접합 트랜지스터(H-TR)의 특성상 p형 트랜지스터 형식으로 구동하게 되는데, S-restricted H-TR에서는 정공의 주입 제한으로 인하여 p채널이 충분히 형성될 때까지 더 많은 게이트 전압을 필요로 하게 된다. 이에 따라 n채널을 통한 전자에 의한 전류도 p채널에 의하여 함께 제한되어 n형 반도체의 디플리션(depletion)이 발생함에도 불구하고 높은 게이트 전압(VG = -5.7V)까지도 전체 전류가 증가할 수 있게 된다. 뿐만 아니라, 게이트 전압이 높아짐에 따라 소스-게이트 사이의 강한 전기장으로 인하여 줄어든 소스 너비로 인해 정공 주입 제한 효과가 점점 줄어들게 되고, 대칭 소스/드레인 구조를 가진 이중접합 트랜지스터(H-TR)와 비교했을 때 거의 동일한 게이트 전압(VG = -6.5V)에서 전류가 다시 상승하기 시작한다(도 8(e)).

[0065] 결과적으로 S-restricted H-TR에서는 NTC 영역이 짧아지게 된다. 반면에, D-restricted H-TR에서는 정공이 아닌 전자 주입이 제한되는 효과를 가진다. 이에 따라서, n형 반도체의 디플리션(depletion)이 더 촉진되며, 훨씬 더 낮은 게이트 전압(VG = -4.2V)에서부터 NTC 현상이 관찰된다. 뿐만 아니라, 더욱 심화된 n형 반도체의

디플리션(depletion)으로 인하여, 더 높은 게이트 전압($V_G = -6.9V$)을 인가해야만 p채널을 통한 정공에 의한 전류가 전체 전류를 다시 상승시킬 수 있게 된다. 결과적으로, D-restricted H-TR에서는 NTC 영역이 크게 늘어나게 된다. 도 8(f)는 S-restricted 및 D-restricted H-TR의 transconductance(gm)을 게이트 전압에 따라 도시한 것으로, NTC 구간의 길이가 서로 약 4배 정도 차이가 나는 것을 확인할 수 있다. 또한, 도 8(g)를 참조하면, 소스/드레인 너비에 따른 이중접합 트랜지스터(H-TR)의 NTC 조절의 신뢰성을 평가하고자 12개의 이중접합 트랜지스터(H-TR)를 대상으로 NTC 길이 및 peak to valley 전류 비를 추출하였으며, 소자 전반에 걸쳐 적은 수준의 차이로 소스/드레인 너비에 따른 명확한 경향성을 보이는 것을 확인할 수 있다.

[0067] 도 9는 본 발명의 실시예에 따른 3진 인버터의 구조 및 실험 결과를 도시한 것이다.

[0068] 도 9(a)는 유연한 3진 인버터의 이미지(scale bar: 1cm)를 도시한 것이고, 도 9(b)는 3진 인버터의 현미경 이미지(scale bar: 1000 μm)를 도시한 것이며, 도 9(c)는 S-restricted, D-restricted H-TR 및 n형 트랜지스터의 전압-전류 곡선을 도시한 것이다. 또한, 도 9(d)는 S-restricted 및 D-restricted H-TR를 각각 포함하는 삼진 인버터의 $V_{IN} - V_{OUT}$ 그래프를 도시한 것이고, 도 9(e)는 D-restricted H-TR를 포함하는 삼진 인버터의 트랜션트(transient) 측정 결과를 도시한 것이며, 도 9(f)는 D-restricted H-TR을 포함하는 삼진 인버터의 인장 변형에 따른 $V_{IN} - V_{OUT}$ 그래프를 도시한 것이다. 또한, 도 9(g)는 전압 이득 그래프를 도시한 것이고, 도 9(h)는 노이즈 마진 추출을 위한 나비 곡선(butterfly curve)을 도시한 것이다.

[0069] 도 9(a) 및 도 9(b)를 참조하면, 본 발명은 앞서 분석한 단위 이중접합 트랜지스터(H-TR)를 기반으로, 두께 100 μm 의 PEN 유연 기판에 이중접합 트랜지스터(H-TR)를 풀업(pull-up)하고, n형 트랜지스터를 풀다운(pull-down) 소자로 구성하는 유연 3진 인버터를 사용한다. 또한, 이중접합 트랜지스터(H-TR)의 소스/드레인 너비에 따라 두 종류의 삼진 인버터를 사용한다.

[0070] 이중접합 트랜지스터(H-TR)의 두 소스/드레인과 모두 접촉하는 p형 반도체로 인한 높은 온/오프(on/off) 전류 비와 함께, 비슷한 이동도를 보유한 p형 반도체 및 n형 반도체로부터 비롯되는 이중접합 트랜지스터(H-TR)의 NTC 구간에서의 전류 크기와 동일 구간에서 n형 트랜지스터의 전류 크기가 거의 일치한다는 특성은, 제작된 3진 인버터의 VDD 부터 GND까지 풀-스윙되며 3개의 명확한 논리 상태(VDD, VDD/2, GND)을 가능하게 한다(도 9(c) 및 도 9(d)).

[0071] D-restricted H-TR을 포함하는 삼진 인버터의 경우, S-restricted H-TR을 포함하는 삼진 인버터보다 NTC 구간이 더 길기 때문에 3진 인버터에서 더 넓은 중간 논리 상태를 나타낸다. 또한, 정량적 비교를 위해 노이즈 마진을 계산해본 결과, D-restricted H-TR을 포함하는 삼진 인버터의 경우, 약 50% 이상 높은 값을 나타내는 것을 알 수 있다. 본 발명은 D-restricted H-TR을 포함하는 삼진 인버터의 구동 안정성을 확인하고자, 트랜션트(transient) 측정을 진행했으며, 각 논리 상태에 해당하는 인풋(input) 전압을 가했을 때, 그에 맞는 아웃풋(output) 전압을 정상적으로 출력함을 확인할 수 있다(도 9(e)).

[0072] 마지막으로, 본 발명은 유연 삼진 인버터의 기계적 안정성을 확인하고자, D-restricted H-TR을 포함하는 삼진 인버터를 사용하여 인장 변형을 가하며 전기적 특성을 분석하였다. 해당 삼진 인버터는 약 2.4mm의 곡률 반경에 해당하는 2.09%의 인장 변형률에도 풀-스윙 특성 및 3개의 구별되는 논리 상태를 유지하는 것을 확인할 수 있다(도 9(f)). 또한, 8V의 낮은 구동 전압에서 준수한 전압 이득(첫 번째 최대 이득(gain) -15 V/V, 두 번째 최대 이득(gain) -30 V/V)을 보였는데, 첫 번째 최대 이득은 -15 V/V로 완전히 유지되었지만, 두 번째 피크에서의 최대 이득은 조금씩 감소하여 2.09%의 인장 변형률에서 -15 V/V를 나타내는 것을 확인할 수 있다(도 9(g)). 또한, 회로를 구성하는데 있어 가장 중요한 노이즈마진을 인장 변형률에 따라 추출해보았으며, 초기 이상적인 노이즈 마진 값 대비 약 47%의 수준에서 2.09%의 인장 변형률에도 매우 적은 감소(약 42%)를 보이는 것을 확인할 수 있다(도 (h)).

[0074] 도 10은 본 발명의 실시예에 따른 트랜지스터의 제조 방법에 대한 동작 흐름도를 도시한 것이다.

[0075] 도 10을 참조하면, 단계 S1010에서, 게이트 상에 절연막을 형성한다. 이때, 게이트는 Al(알루미늄)일 수 있으며, 절연막은 pV3D3(poly(1,3,5-trimethyl-1,3,5-trivinyl cyclotrisiloxane))일 수 있다. 절연막은 유기 물질 또는 무기 물질일 수 있다.

[0076] 단계 S1020에서, 절연막의 상부 일측면과 접촉하며, 소스 전극 또는 드레인 전극에 영향을 받는 n형 반도체를 형성한다.

[0077] 단계 S1030에서, 절연막의 상부 타측면과 n형 반도체 상에 형성되어 소스 전극 및 드레인 전극을 연결하는 p형

반도체한다. 이때, 소스 전극 및 드레인 전극은 서로 다른 너비의 비대칭 구조를 갖는 것을 특징으로 한다.

[0078] n형 반도체는 절연막의 상부 일측면과 접촉하며, 소스 전극 또는 드레인 전극의 영향을 받는다. 또한, p형 반도체는 절연막의 상부 타측면과 n형 반도체 상에 형성되어 소스 전극 및 드레인 전극을 연결한다. 이때, n형 반도체는 PTCDI-C13(N,N'-ditridecylperylene-diimide)일 수 있으며, p형 반도체는 DNTT(dinaphtho[2,3-b:2',3'-f]thieno-[3,2-b]thiophene)일 수 있다. n형 반도체 및 p형 반도체는 유기 물질 또는 무기 물질일 수 있으나, 물질 종류는 한정하지 않는다.

[0079] 본 발명의 실시예에 따른 n형 반도체는 45nm의 두께를 나타내고, p형 반도체는 75nm의 두께를 나타내는 것을 특징으로 한다. 또한, 드레인 전극은 450 μm의 너비를 나타내고, 소스 전극은 5000 μm의 너비를 나타내는 것을 특징으로 한다.

[0081] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

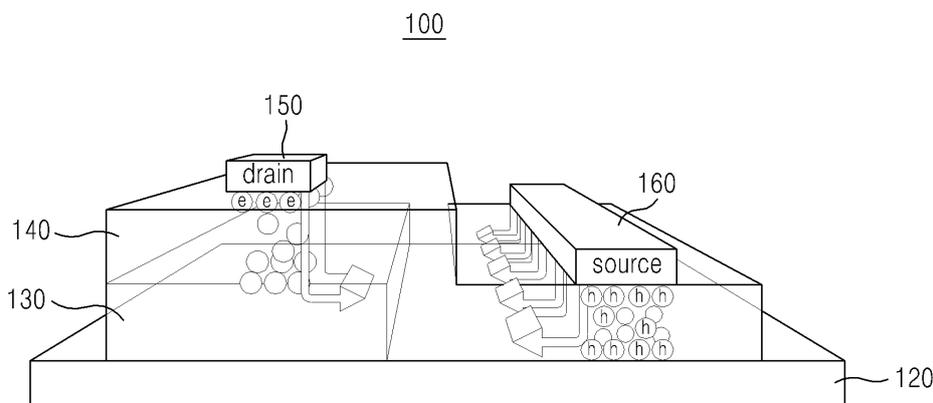
[0083] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

부호의 설명

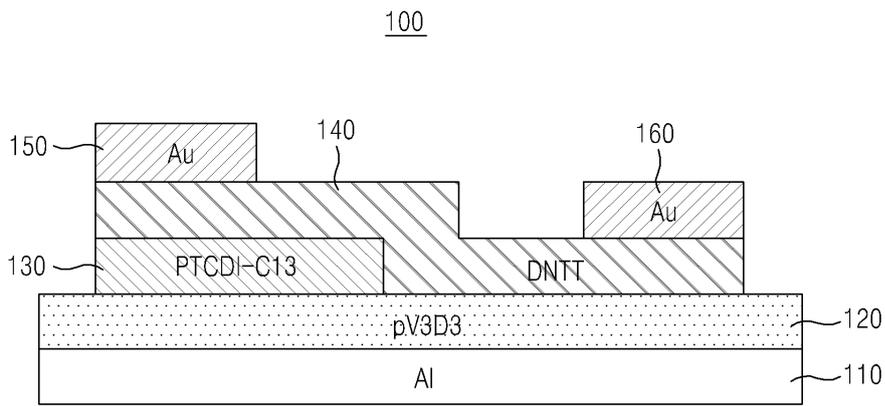
- [0085] 100: 트랜지스터
- 110: 게이트
- 120: 절연막
- 130: 제1 반도체
- 140: 제2 반도체
- 150: 드레인 전극
- 160: 소스 전극

도면

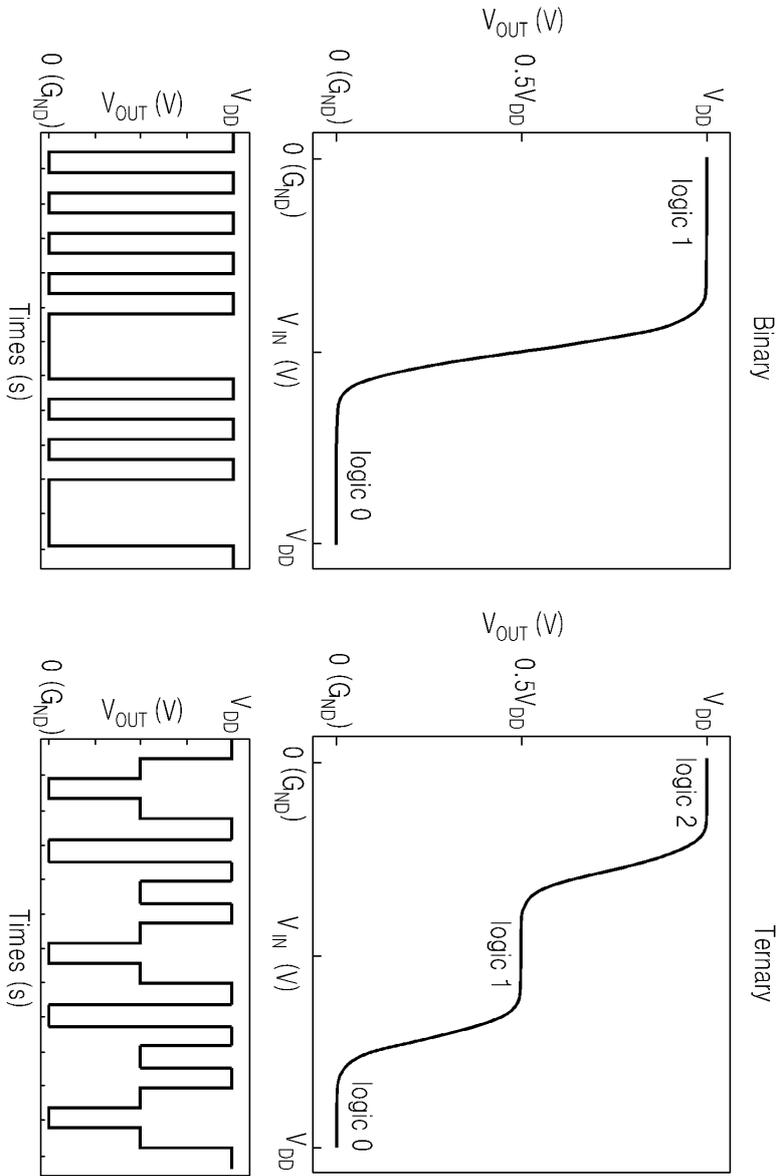
도면 1a



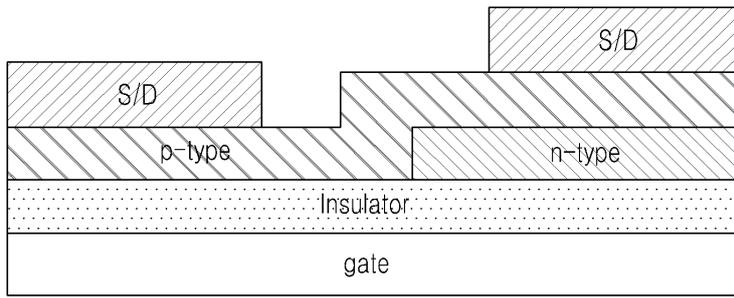
도면1b



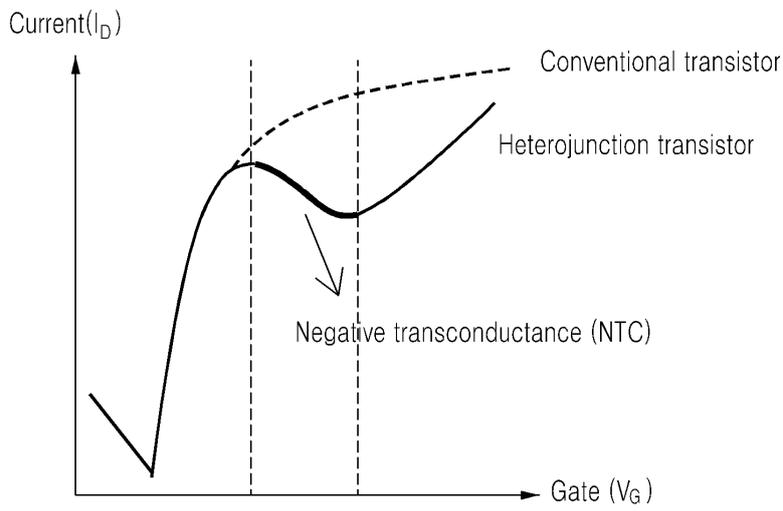
도면2



도면3

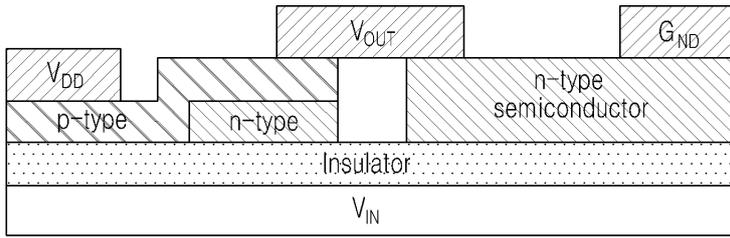


(a)

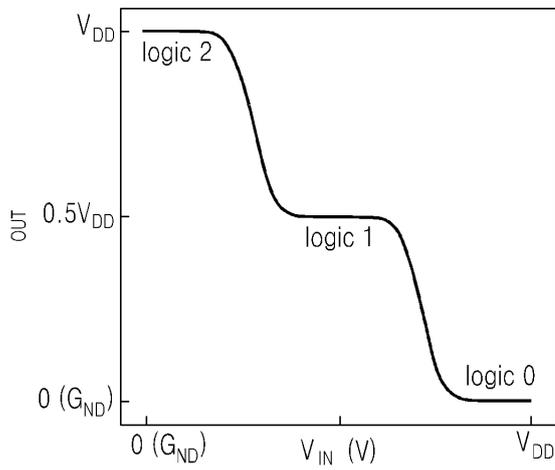


(b)

도면4a

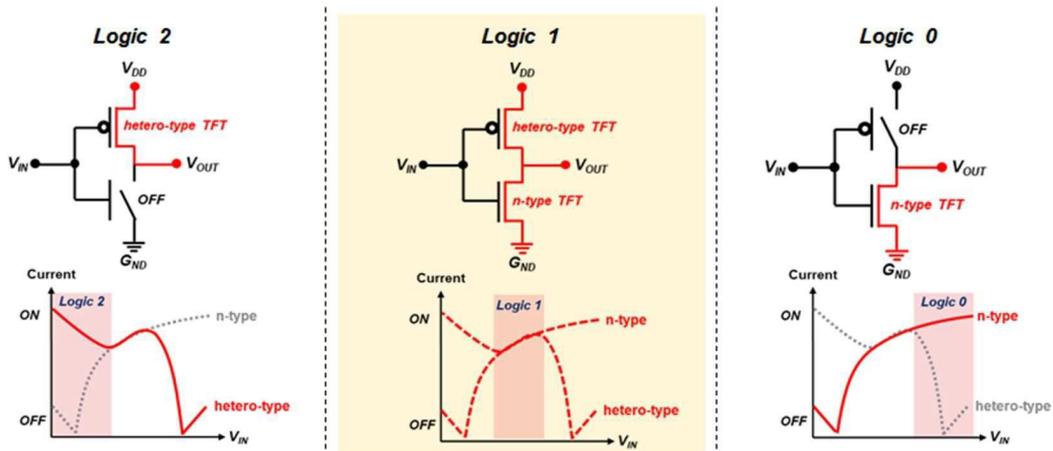


(a)

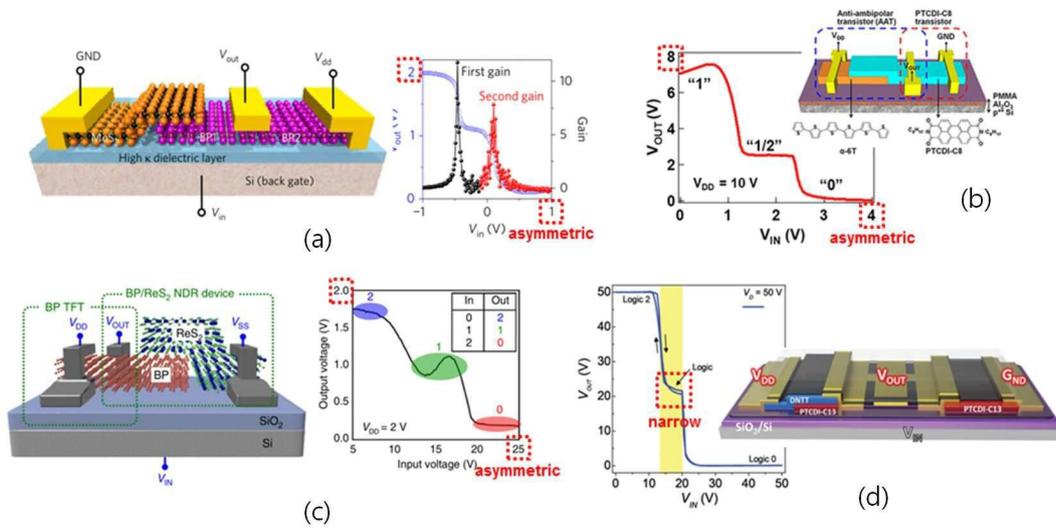


(b)

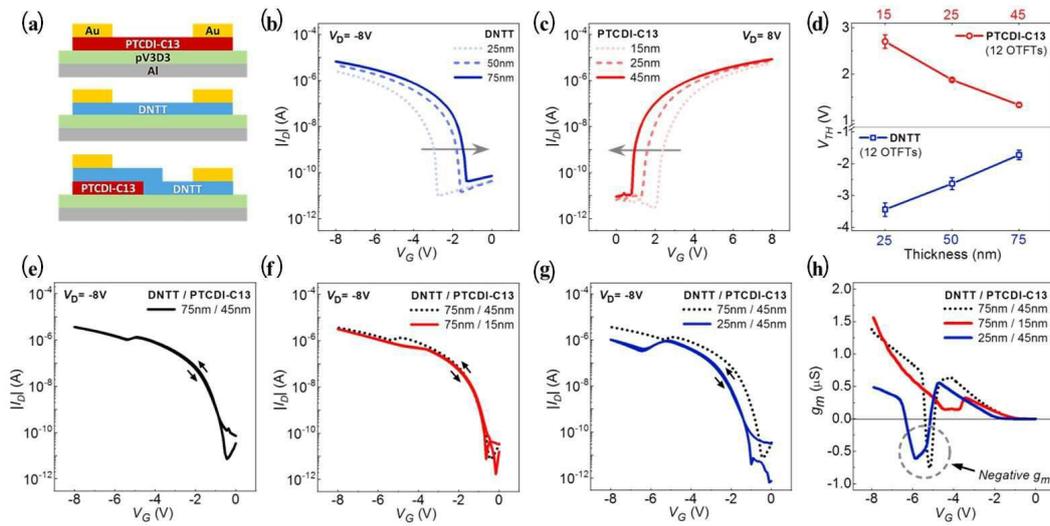
도면4b



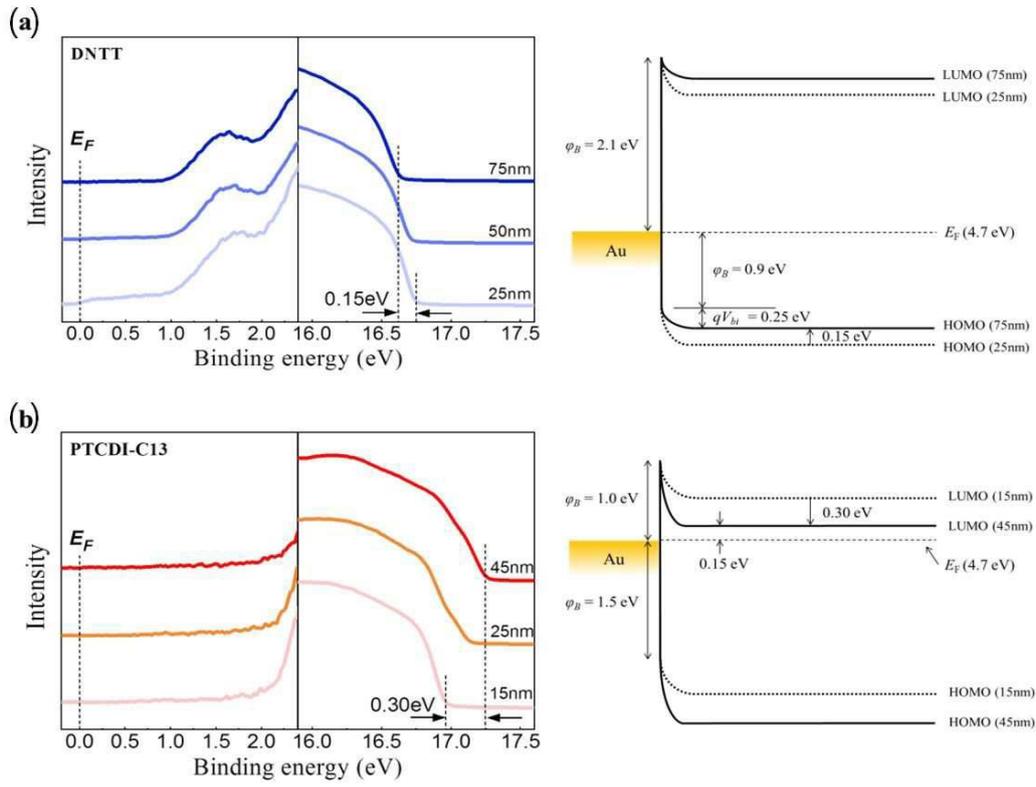
도면5



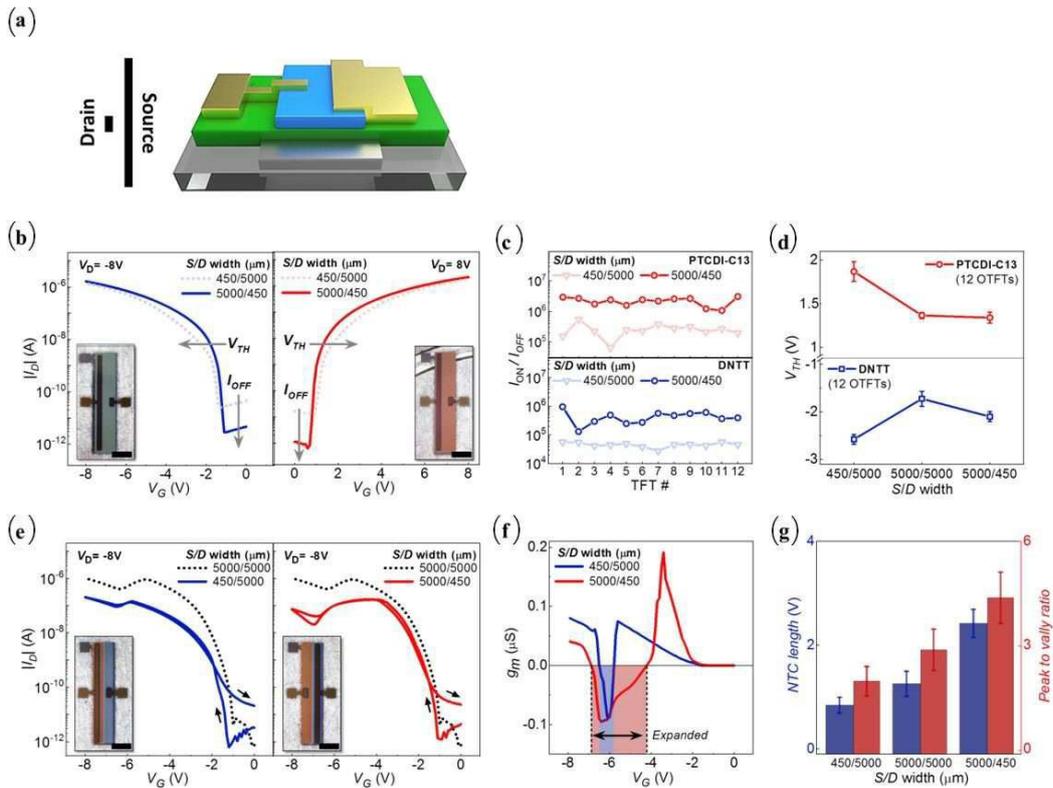
도면6



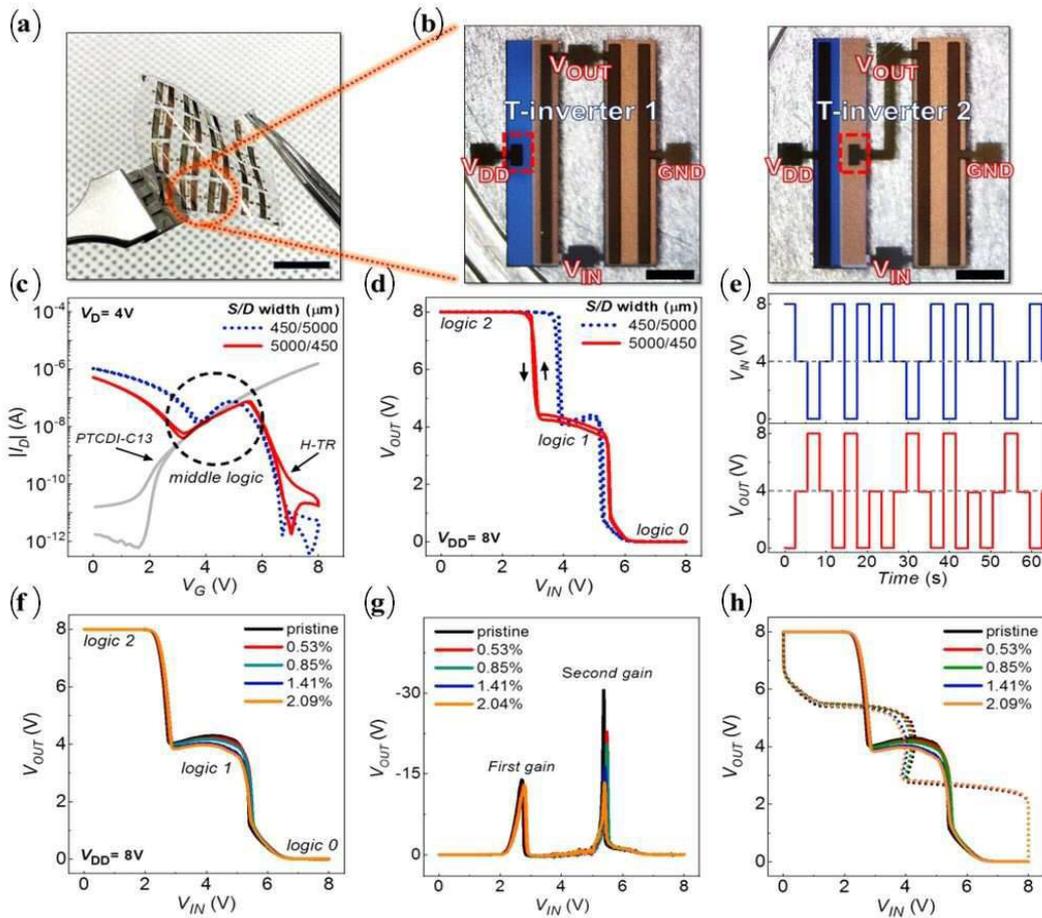
도면7



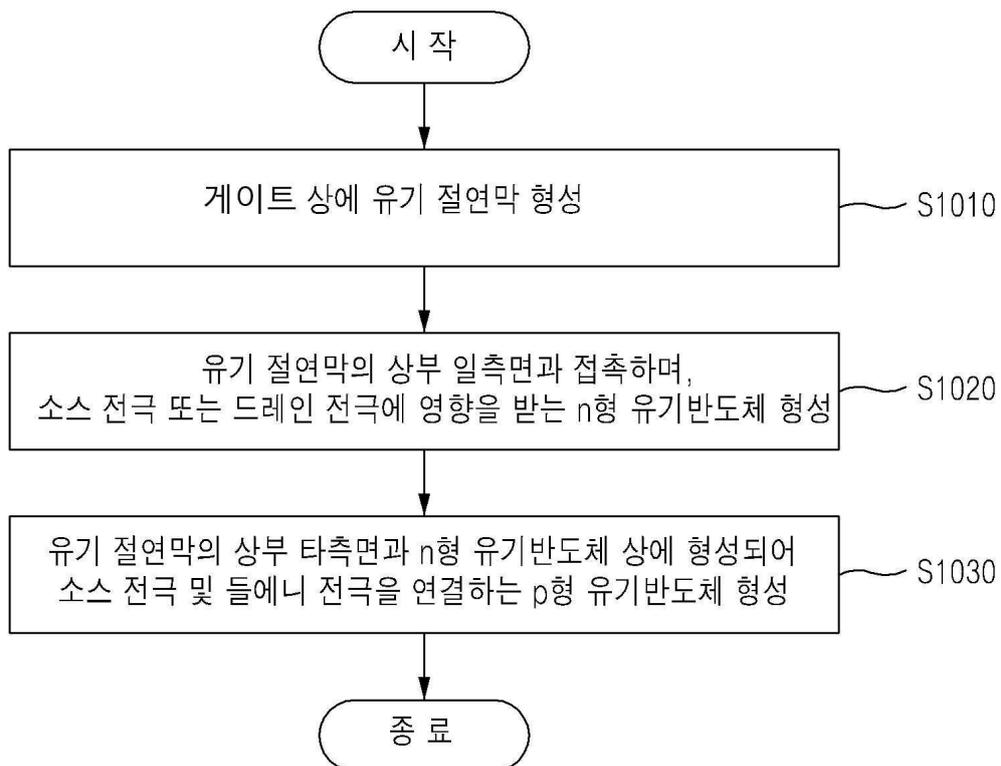
도면8



도면9



도면10



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1

【변경전】

비대칭 소스 및 드레인 구조를 갖는 트랜지스터에 있어서,

게이트 상에 형성되는 절연막;

상기 절연막의 상부 일측면과 접촉하며, 소스 전극에 영향을 받는 제1 반도체; 및

상기 절연막의 상부 타측면과 접촉하여 드레인 전극에 영향을 받으며, 상기 제1 반도체와 트랜지스터 중앙에서 접하는 제2 반도체를 포함하되,

상기 소스 전극 및 상기 드레인 전극은

서로 다른 너비의 비대칭 구조를 가져 상기 제1 반도체 및 상기 제2 반도체로 주입되는 전하를 각각 조절함에 따라 상기 NTC(Negative transconductance)를 정밀하게 조절하는 것을 특징으로 하는, 트랜지스터.

【변경후】

비대칭 소스 및 드레인 구조를 갖는 트랜지스터에 있어서,

게이트 상에 형성되는 절연막;

상기 절연막의 상부 일측면과 접촉하며, 소스 전극에 영향을 받는 제1 반도체; 및

상기 절연막의 상부 타측면과 접촉하여 드레인 전극에 영향을 받으며, 상기 제1 반도체와 트랜지스터 중앙에서 접하는 제2 반도체를 포함하되,

상기 소스 전극 및 상기 드레인 전극은

서로 다른 너비의 비대칭 구조를 가져 상기 제1 반도체 및 상기 제2 반도체로 주입되는 전하를 각각 조절함에 따라 NTC(Negative transconductance)를 정밀하게 조절하는 것을 특징으로 하는, 트랜지스터.

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항 9

【변경전】

비대칭 소스 및 드레인 구조를 갖는 트랜지스터의 제조 방법에 있어서,

게이트 상에 절연막을 형성하는 단계;

상기 절연막의 상부 일측면과 접촉하며, 소스 전극에 영향을 받는 제1 반도체를 형성하는 단계; 및

상기 절연막의 상부 타측면과 접촉하여 드레인 전극에 영향을 받으며, 상기 제1 반도체와 트랜지스터 중앙에서 접하는 제2 반도체를 형성하는 단계를 포함하되,

상기 소스 전극 및 상기 드레인 전극은

서로 다른 너비의 비대칭 구조를 가져 상기 제1 반도체 및 상기 제2 반도체로 주입되는 전하를 각각 조절함에 따라 상기 NTC(Negative transconductance)를 정밀하게 조절하는 것을 특징으로 하는, 트랜지스터의 제조 방법.

【변경후】

비대칭 소스 및 드레인 구조를 갖는 트랜지스터의 제조 방법에 있어서,

게이트 상에 절연막을 형성하는 단계;

상기 절연막의 상부 일측면과 접촉하며, 소스 전극에 영향을 받는 제1 반도체를 형성하는 단계; 및

상기 절연막의 상부 타측면과 접촉하여 드레인 전극에 영향을 받으며, 상기 제1 반도체와 트랜지스터 중앙에서 접하는 제2 반도체를 형성하는 단계를 포함하되,

상기 소스 전극 및 상기 드레인 전극은

서로 다른 너비의 비대칭 구조를 가져 상기 제1 반도체 및 상기 제2 반도체로 주입되는 전하를 각각 조절함에 따라 NTC(Negative transconductance)를 정밀하게 조절하는 것을 특징으로 하는, 트랜지스터의 제조 방법.