



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2022년08월01일

(11) 등록번호 10-2426958

(24) 등록일자 2022년07월26일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 21/285 (2006.01)
H01L 27/32 (2006.01) H01L 29/51 (2006.01)
H01L 29/66 (2006.01)
(52) CPC특허분류
H01L 29/78606 (2013.01)
H01L 21/28568 (2013.01)
(21) 출원번호 10-2018-0162127
(22) 출원일자 2018년12월14일
심사청구일자 2018년12월14일
(65) 공개번호 10-2020-0073684
(43) 공개일자 2020년06월24일
(56) 선행기술조사문헌
KR1020160149105 A*
(뒷면에 계속)

(73) 특허권자
한국과학기술원
대전광역시 유성구 대학로 291(구성동)
(72) 발명자
최성율
대전광역시 유성구 대학로 291(구성동)
강대규
대전광역시 유성구 대학로 291(구성동)
임성갑
대전광역시 유성구 대학로 291(구성동)
(74) 대리인
특허법인 다해

전체 청구항 수 : 총 2 항

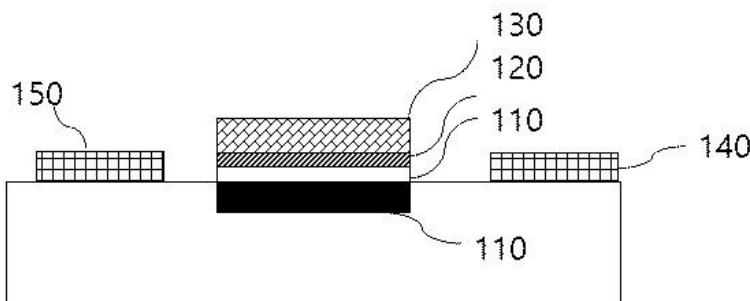
심사관 : 강필승

(54) 발명의 명칭 이차원 물질을 포함하는 박막 트랜지스터, 이를 포함하는 디스플레이 및 그 제조방법

(57) 요약

소스, 드레인 및 게이트 전극을 포함하는 박막 트랜지스터로서, 이차원물질을 포함하는 채널층; 상기 채널층 상에 형성된 게이트 절연막; 및 상기 게이트 절연막 상에 형성된 게이트 전극을 포함하며, 상기 게이트 절연막은 상이한 유전율의 절연막을 적어도 2개 이상 포함하는 것을 특징으로 하는 박막 트랜지스터가 제공된다.

대표도 - 도1



(52) CPC특허분류

H01L 27/3262 (2013.01)
H01L 29/517 (2013.01)
H01L 29/66742 (2013.01)
H01L 29/78618 (2013.01)
H01L 29/78696 (2013.01)

(56) 선행기술조사문헌

KR1020140037702 A
 KR1020170076638 A
 KR101631008 B1
 (논문 2017)

*는 심사관에 의하여 인용된 문헌

이 발명을 지원한 국가연구개발사업

과제고유번호	2018016173
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	원천기술개발사업
연구과제명	레이저-소재 상호 작용 기반 디스플레이 핵심소재 개발
기 여 율	1/1
과제수행기관명	한국과학기술원
연구기간	2018.02.01 ~ 2019.01.31

명세서

청구범위

청구항 1

소스, 드레인 및 게이트 전극을 포함하는 박막 트랜지스터로서,

이차원물질을 포함하는 채널층;

상기 채널층 상에 형성된 게이트 절연막; 및

상기 게이트 절연막 상에 형성된 게이트 전극을 포함하며, 상기 게이트 절연막은 상이한 유전율의 절연막을 적어도 2개 이상 포함하며,

상기 채널층과 상기 게이트 전극 사이에는 금속 산화물인 제 1 절연막과 폴리머인 제 2 절연막이 구비되며, 상기 채널층과 접하는 제 2 절연막은 상기 게이트 전극과 접하는 제 1 절연막보다 낮은 유전율을 가지며,

상기 제 1 절연막의 유전율(k_1)과 제 2 절연막의 유전율(k_2)의 비(k_1/k_2)는 2이상이며,

상기 채널층은 전이금속 칼코겐 화합물(TMDC) 박막이고,

상기 제 2 절연막은 pV3D3(poly(1,3,5-trimethyl-1,3,5-trivinyl cyclotrisiloxane) 폴리머이고, 상기 제 1 절연막은 금속산화물이며,

상기 제 2 절연막의 두께는 15nm 이하인 박막 트랜지스터.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

제 1항에 따른 박막 트랜지스터를 스위칭 소자로 포함하는, 디스플레이.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

발명의 설명

기술 분야

[0001] 본 발명은 이차원 물질을 포함하는 박막 트랜지스터, 이를 포함하는 디스플레이 및 그 제조방법에 관한 것으로, 보다 상세하게는 high-k 절연막 표면의 특성으로 인하여 표면 포논 산란효과가 증대하여 산란 감소 효과가 크지 않다는 점을 해결하여 고해상도 디스플레이 등의 스위칭 소자로 활용가능한, 이차원 물질을 포함하는 박막 트랜지스터, 이를 포함하는 디스플레이 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 대표적인 이차원 물질인 전이금속 칼코겐 화합물(TMDCs)는 높은 이동도, 원자층수준의 얇은 두께, 두께로 인해 오는 높은 유연성 및 투명함 등의 특성을 지니고 있어 차세대 디스플레이 채널 소재로서 많은 연구가 진행되고 있다.

[0003] 그러나 이러한 전이금속 칼코겐 화합물을 이용한 트랜지스터의 경우 많은 요인에 의해서 가지고 있는 잠재적인 이동도 수준에 못 미치고 낮은 이동도 특성을 보여주고 있는 실정이다.

[0004] 대표적으로 높은 이동도를 가지는 것에 영향을 미치는 것이 산란작용이다. 이러한 2차원 반도체는 주로 전하 불순물(Charged impurity) 산란과 전자-음자(electron-phonon) 산란에 크게 영향을 받는다.

[0005] 대부분의 연구에서는 전하 불순물 산란을 줄이기 위해서 high-k 절연체를 사용하거나 전자-음자 산란을 줄이기 위해서 기판의 종류를 변경하는 한쪽으로서의 방향성을 지니고 있다. 하지만, 여전히 만족스러운 수준의 TMDC 기반 트랜지스터는 개시되지 못하는 상황이다.

발명의 내용

해결하려는 과제

[0006] 따라서, 본 발명이 해결하고자 하는 과제는 이차원물질 박막 기반 트랜지스터와 그 제조방법을 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명은 상기 과제를 해결하기 위하여, 소스, 드레인 및 게이트 전극을 포함하는 박막 트랜지스터로서, 이차원물질을 포함하는 채널층; 상기 채널층 상에 형성된 게이트 절연막; 및 상기 게이트 절연막 상에 형성된 게이트 전극을 포함하며, 상기 게이트 절연막은 상이한 유전율의 절연막을 적어도 2개 이상 포함하는 것을 특징으로 하는 박막 트랜지스터를 제공한다.

[0008] 본 발명의 일 실시예에서, 상기 채널층과 상기 게이트 전극 사이에는 제 1 절연막과 제 2 절연막이 구비되며, 상기 채널층과 접하는 제 1 절연막은 상기 게이트 전극과 접하는 제 2 절연막보다 높은 유전율을 갖는다.

[0009] 본 발명의 일 실시예에서, 상기 채널층은 전이금속 칼코겐 화합물(TMDC) 박막이다.

[0010] 본 발명의 일 실시예에서, 상기 제 2 절연막은 pV3D3(poly(1,3,5-trimethyl-1,3,5-trivinyl cyclotrisiloxane) 폴리머이고, 상기 제 1 절연막은 금속산화물이다.

[0011] 본 발명의 일 실시예에서, 상기 제 1 절연막의 유전율(k_1)과 제 2 절연막의 유전율(k_2)의 비(k_1/k_2)는 2이상이다.

[0012] 본 발명은 상술한 박막 트랜지스터를 스위칭 소자로 포함하는, 디스플레이를 제공한다.

[0013] 본 발명은 게이트 전극을 기판 상에 형성하는 단계; 상기 게이트 전극 상에 제 1 절연막을 적층하는 단계; 상기 제 1 절연막 상에 제 2 절연막을 적층하는 단계; 및 상기 제 2 절연막 상에 전이금속칼코겐 화합물을 포함하는 채널 박막을 전사시키는 단계를 포함하며, 상기 제 1 절연막은 상기 제 2 절연막보다 유전율이 높은 것을 특징으로 하는, 박막 트랜지스터 제조방법을 제공한다.

[0014] 본 발명의 일 실시예에서, 상기 제 2 절연막은 pV3D3(poly(1,3,5-trimethyl-1,3,5-trivinyl cyclotrisiloxane) 폴리머이고, 상기 제 1 절연막은 금속산화물이다.

[0015] 본 발명의 일 실시예에서, 상기 박막 트랜지스터 제조방법은, 상기 제 2 절연막 상에 전이금속칼코겐

화합물을 포함하는 채널 박막을 전사시키는 단계 후, 상기 기판 상에 소스 및 드레인 전극을 형성하는 단계를 더 포함한다.

발명의 효과

[0016] 본 발명에 따른 트랜지스터 소자는 high-k 절연막 표면의 특성으로 인하여 표면 포논 산란효과가 증대하여 산란 감소 효과가 크지 않다는 점을 해결할 수 있으며, 그 결과 종래의 이차원 트랜지스터가 가지는 포논 산란효과를 줄여 이차원 구조를 가지면서도 고 성능의 트랜지스터를 얻을 수 있다.

도면의 간단한 설명

[0017] 도 1은 본 발명의 일 실시예에 따른 TMDC 기반 박막 트랜지스터의 모식도이다.
 도 2는 본 발명의 일 실시예에 따라 제조된 트랜지스터 소자의 사진이다.
 도 3은 본 발명에 따른 다층 게이트 스택($\text{Al}_2\text{O}_3/\text{pV3D3}$)를 활용한 트랜지스터 소자의 동작 특성 실험 결과이다.
 도 4는 소자 특성을 절연막 종류에 따라 비교한 실험 결과이다.
 도 5는 소자의 온도 경향성을 보여주는 실험결과이다.
 도 6은 본 발명에 따른 소자의 플리커 노이즈 특성 데이터 및 비교 실험 결과이다.
 도 7은 본 발명에 따라 제조된 소자의 유연성 동작에 대한 실험결과이다.
 도 8은 본 발명의 일 실시예에 따른 트랜지스터 소자 제조방법의 단계도이다.

발명을 실시하기 위한 구체적인 내용

[0018] 이하 도면과 실시예를 통하여 본 발명은 보다 상세히 설명한다.

[0019] 본 발명은 상술한 문제를 해결하기 위하여, 다층 게이트 스택(high-k 산화막/low-k 폴리머)을 이용하여 높은 이동도를 가지는 이황화몰레브덴 채널로 유연 박막 트랜지스터를 제공한다.

[0020] 도 1은 본 발명의 일 실시예에 따른 TMDC 기반 박막 트랜지스터의 모식도이다.

[0021] 도 1을 참조하면, 본 발명에 따른 TMDC 기반 박막 트랜지스터는, TMDC 박막인 채널(130), 소스 및 드레인 전극(140, 150)과 게이트 전극(110)을 포함한다. 더 나아가, 본 발명에 따른 TMDC 박막 트랜지스터는, TMDC 박막 채널과 게이트 전극 사이에 구비되며, 높은 유전율 (high k, 120)의 제 1 절연막과 낮은 유전율(low k, 130) 제 2 절연막을 포함하는 다층 절연막을 포함한다.

[0023] 본 발명에 따른 트랜지스터는 high-k 절연막과 이차원 반도체 사이에 낮은 유전상수(low-k)를 가지는 폴리머를 삽입한 구조를 갖는다. 본 발명에 따른 이러한 방법은 높은 유전상수를 지니는 절연막을 활용하여 불순물에 의한 산란효과를 줄이는 종래 방식의 한계, 즉, high-k 절연막 표면의 특성으로 인하여 표면 포논 산란 효과가 증대하여 산란 감소 효과가 크지 않다는 점을 해결할 수 있다. 따라서, 본 발명에 따르면, 종래의 이차원 트랜지스터가 가지는 포논 산란효과를 줄여 이차원 구조를 가지면서도 고 성능의 트랜지스터를 얻을 수 있다.

[0025] 본 발명의 일 실시예에서 제 1 절연막인 Al_2O_3 유전율 k_1 은 6, 제 2 절연막 pV3D3 유전율 k_2 는 2.2 수준이었다. 이 경우, 게이트 절연막에서의 유전율 비(k_1/k_2)는 2.7를 포함하는 수준이고, 절연막이 HfO_2 (k_1 이 20)이라면 유전율은 10 수준이다. 따라서, 고유전율과 저유전율의 비(k_1/k_2)는 2 이상이 바람직하다. 만약 상기 범위 미만인 경우 충분한 저유전율 효과에 따른 표면 포논 산란 감소 효과가 크지 않다는 문제가 있다.

[0027] 이하 구체적인 실시예와 실험예를 통하여 본 발명은 보다 상세히 설명한다.

[0029] 실시예

[0030] 상용 폴리머 필름의 표면 거칠기를 완화시켜주기 위해서 에폭시 수지 기반의 SU-8 용액을 코팅 한 후에 UV처리를 통해서 굳혀준다. 그 후 게이트 전극으로 사용될 Cr/Au/Pd 3가지 금속층을 차례로 증착한다.

[0031] 전극 증착에는 통상의 방법이 모두 사용될 수 있는데, 포토리소그래피(photolithography), 열 증발법(thermal evaporation), 리프트-오프(lift-off) 공정 등이 사용될 수 있으며, 이는 모두 본 발명의 범위에 속한다.

- [0032] 이후, 절연막으로 사용될 Al_2O_3 막을 ALD (Atomic Layer Deposition) 방식으로 증착한다. 추가적으로 다층 게이트 스택을 증착하기 위해서 iCVD (Initiated Chemical Vapor Deposition)를 통해서 pV3D3(poly(1,3,5-trimethyl-1,3,5-trivinyl cyclotrisiloxane) 폴리머를 증착한다.
- [0033] 본 발명의 일 실시예에서 제 2 절연막인 pV3D3 두께는 15nm 수준이었는데, 상기 범위를 초과하는 경우 게이트의 캐패시턴스가 너무 줄어들어 게이트 장악력 감소로 인해 캐리어 밀도가 많이 줄어들어 모빌리티는 향상될지언정 실제 전류 값은 줄어 들 수 있다.
- [0034] 이 후 CVD방법을 통해서 형성한 이황화몰리브덴 박막을 상기 형성된 게이트 전극에 전사시킨다. 이 때 전사는 폴리스티렌(Polystyrene)을 지지층으로 사용하여 습식전사방법을 사용하였다.
- [0035] 이 후 포토리소그래피(photolithography)와 O_2 플라즈마 에칭을 통해서 채널 영역을 패터닝하고 게이트 전극을 증착했을 때와 동일한 방법으로 Ti/Au 금속을 소스/드레인 전극으로 증착하여 준다. 마지막으로 Al_2O_3 를 ALD를 통해서 증착하였다.
- [0036] 도 2는 본 발명의 일 실시예에 따라 제조된 트랜지스터 소자의 사진이다.
- [0037] 도 2를 참조하면, 충분한 플렉서블 특성을 갖는 박막 트랜지스터 소자의 제조가 가능하다는 것을 알 수 있다.
- [0039] 실험예
- [0040] 도 3은 본 발명에 따른 다층 게이트 스택(Al_2O_3 /pV3D3)를 활용한 트랜지스터 소자의 동작 특성 실험 결과이다.
- [0041] 도 3을 참조하면, 본 발명에 따른 트랜지스터 소자는 유기전계발광소자(OLED)와 같은 디스플레이에 적용가능한 전류 레벨과 출력 특성을 나타낸다.
- [0042] 도 3a의 경우 트랜지스터의 전달 특성을 나타내고 도 3b의 경우 트랜지스터의 출력 특성을 나타내는데, 특히 도 3b 출력 특성 그래프에서 전류가 포화(saturation)되는 현상으로 보아 본 발명에 따른 트랜지스터 소자는 안정된 응답 특성을 갖는 것을 알 수 있다.
- [0044] 도 4는 소자 특성을 절연막 종류에 따라 비교한 실험 결과이다.
- [0045] 도 4를 참조하면, 본 발명에 따른 절연막(Al_2O_3 /pV3D3)은 high-k 절연막(Al_2O_3 , $k_1=6$)와 low-k 절연막(pV3D3, $k_2=2.2$)에 비하여 월등히 우수한 특성을 보이는 것을 알 수 있다. 특히 이동도 측면에서 다른 단일 박막에 비해서 월등히 높은 결과를 보이는 것을 알 수 있다.
- [0046] 이러한 높은 이동도를 나타내는 이유를 설명하면, 본 발명에 따른 다층 스택 구조의 절연막은, 절연막의 안정성과 전하 불순물(charged impurity) 산란의 영향을 줄여주는 high-k 무기 절연막과, 표면에서 발생하는 optical-phonon 산란의 영향을 줄이는 low-k 절연막을 동시에 사용하기 때문이다.
- [0047] 도 5는 소자의 온도 경향성을 보여주는 실험결과이다.
- [0048] 본 실험에서는 온도 경향성에 따라 포논(phonon) 산란의 상대적인 크기를 비교할 수 있게 되는데, 다층 게이트 스택을 사용할 경우 high-k 절연막을 단일로 사용하였을 때에 비해 낮은 온도 경향성을 가지는 것을 확인할 수 있다(도 5b 참조). 이는 포논 산란의 영향이 적어졌음을 알 수 있음을 나타낸다.
- [0049] 도 6은 본 발명에 따른 소자의 플리커 노이즈 특성 데이터 및 비교 실험 결과이다.
- [0050] 도 6a를 참조하면, 본 발명에 따라 제조된 소자는 1/f 플리커 노이즈 특성을 보여주었다.
- [0051] 또한 도 6b를 참조하면, 다층 게이트 스택을 활용한 소자와 단일 절연막을 활용한 소자를 비교한 결과, 다층 게이트 스택을 활용한 소자에서 노이즈 spectral 밀도가 현저하게 낮음을 알 수 있다. 이는 채널과 절연막의 산란을 줄여주고 high-k 절연막에 비해 폴리머의 표면에 적은 트랩 사이트가 존재하여 노이즈 특성이 개선 되었음을 나타낸다.
- [0052] 도 7은 본 발명에 따라 제조된 소자의 유연성 동작에 대한 실험결과이다.
- [0053] 도 7을 참조하면, 높은 곡면 반경에서도 크지 않은 동작 특성 변화를 보이는 것을 알 수 있다.
- [0054] 이상 설명한 바와 같이 본 발명은 high-k 절연막 표면의 특성으로 인하여 표면 포논 산란효과가 증대하여 산란 감소 효과가 크지 않다는 점을 해결하기 위하여, MoS_2 와 같은 TMDC 이차원 채널 박막 사이에 low-k 절연막을 삽

입시켜, 종래 기술의 문제를 해결하였다.

[0055] 도 8은 본 발명의 일 실시예에 따른 트랜지스터 소자 제조방법의 단계도이다.

[0056] 도 8을 참조하면, 본 발명에 따른 방법은, 게이트 전극을 기판 상에 형성하는 단계; 상기 게이트 전극 상에 제 1 절연막을 적층하는 단계; 상기 제 1 절연막 상에 제 2 절연막을 적층하는 단계; 및 상기 제 2 절연막 상에 전이금속켄코겐 화합물을 포함하는 채널 박막을 전사시키는 단계를 포함하며, 상기 제 1 절연막은 상기 제 2 절연막보다 유전율이 높다.

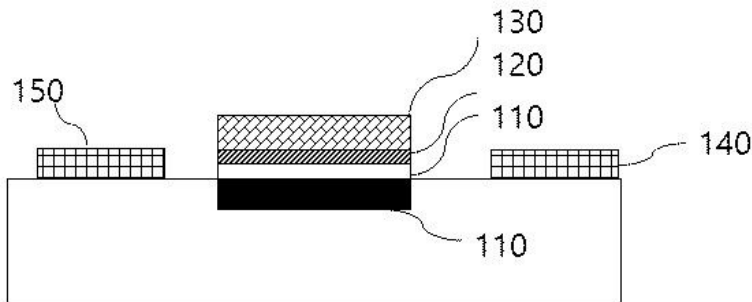
[0057] 하지만, 본 발명은 상술한 단계의 순서가 바뀌어도 무방하며, 채널 박막 전사 후 절연막을 순차적으로 적층하고, 다시 게이트 전극을 적용하는 경우도 모두 본 발명의 범위에 속한다.

[0058] 본 발명의 일 실시예에서 상기 제 2 절연막은 pV3D3(poly(1,3,5-trimethyl-1,3,5-trivinyl cyclotrisiloxane)) 폴리머이고, 상기 제 1 절연막은 금속산화물이다.

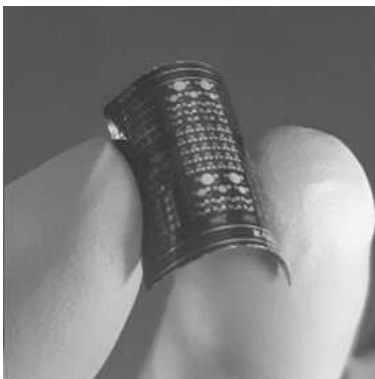
[0059] 본 발명은 종래의 이차원 박막 트랜지스터가 가지는 산란 문제를, 저유전율 절연막의 삽입이라는 방식으로 해결하였으며, 적층 공정이 상대적으로 간단하고 용이하다는 장점 또한 있다.

도면

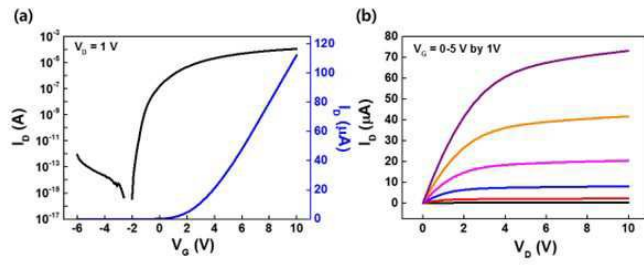
도면1



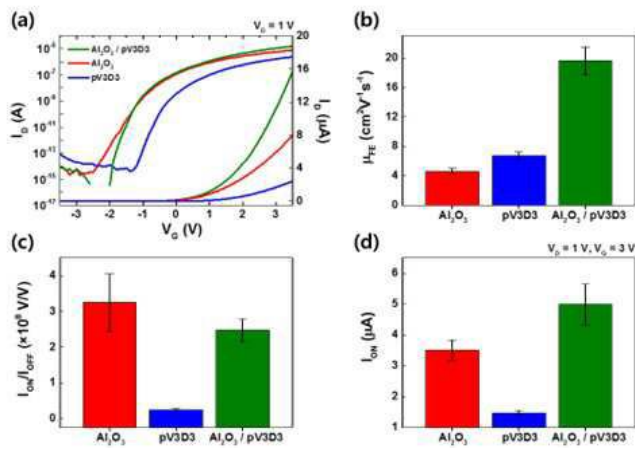
도면2



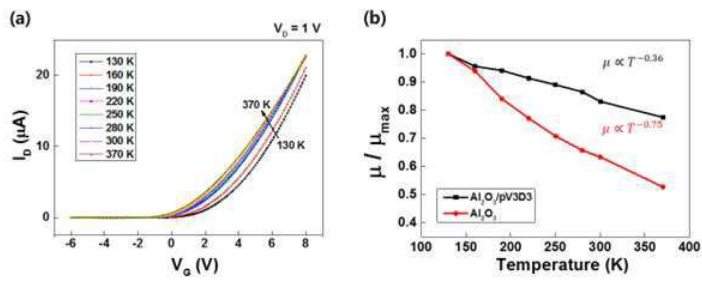
도면3



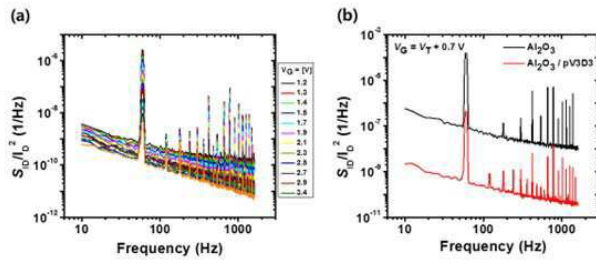
도면4



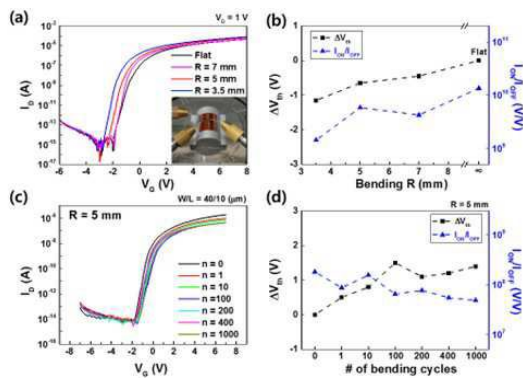
도면5



도면6



도면7



도면8

